

English Abstract (Attached)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-258557

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月16日

H 04 N 1/40

1 0 1

C-6940-5C

G 06 F 15/64

3 2 5

A-8419-5B

H 04 N 1/40

4 0 0

P-8419-5B

H 04 N 1/40

1 0 1

A-6940-5C

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 原稿読取装置

⑮ 特 願 昭63-85356

⑯ 出 願 昭63(1988)4月8日

⑰ 発 明 者 長 沢 清 人 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑲ 代 理 人 弁 理 士 武 頭 次 郎 外1名

明 細 書

1. 発明の名称

原稿読取装置

2. 特許請求の範囲

(1) 各画素ごとの原稿光学像読取信号を、一つまたは複数の信号線に対して時系列的に出力するイメージセンサと、該イメージセンサ出力をA/D変換するためのA/D変換器と、A/D変換出力から画像信号を取り出すための処理をデジタル的に行うためのラッチ、減算器、ゲート、RAM、ROMを含むデジタル処理手段とを備えていることを特徴とする原稿読取装置。

(2) A/D変換速度を画像信号のための画像クロックより高速にしたことを特徴とする請求項(1)記載の原稿読取装置。

3. 発明の詳細な説明

(技術分野)

本発明は、イメージスキャナ、デジタル複写機、ファクシミリ等に応用され、特に画像読取信号に対する信号処理に特徴のある原稿読取装置に

関する。

(従来技術)

第7図に従来例に係るイメージスキャナのアナログ処理回路を示す。

CCD1の受光面に結像された原稿の光学像はCCD1により読み取られる。CCD1には転送及びシフトのためのタイミングパルスPが与えられることにより、読み取られた画像信号出力OS及び暗出力DOSが出力される。OSとDOSはバッファ2により差動増幅されることにより、CCD1のリセットノイズ等を除去された画像信号となる。しかし、未だパルス状の信号であり直流オフセットを有しているため、先ずスイッチSW1によりゼロクランプを行う。これは画像信号の0レベルを決定するもので、通常CCDリセットパルスの直後のタイミングで、スイッチSW1をONすることにより行う。さらにスイッチSW2とコンデンサC₁にてサンプルホールドを行う。これはCCD出力が画像のレベル(原稿の反射率に比例した)を正しく示しているタイミングでの

みスイッチSW2をONし、コンデンサC₃にチャージするようにする。さらに次のFET3は、コンデンサC₃の電圧をハイインピーダンスで受けるためのバッファで、FET3のソース出力として初めて0Vを基準としたアナログ画像信号となる。これはさらにアンプA1にて所定の電圧にレベル設定され、D/Aコンバータ4の基準電圧端子r_fに与えられる。D/Aコンバータ4のデジタル入力には、後で説明するシェーディング補正データSDATAが与えられており、出力V_{sa}としては、

$$V_{sa} \propto V_o \times SDATA$$

が与えられる。

A2とA5のステージでは、CCD1の暗電流出力DOSを補償するために、CCD1のダミー画素（有効画素外の光遮蔽された画素で、暗電流成分のみを出力する）のタイミングでのみONする信号DSを用いて暗電流成分をサンプルホールドし、それを画像信号V_{sa}から差し引く処理を行う。A2の出力V_{iw}としては、CCD1の暗電流

成分も取り除いた真のアナログ画像信号が得られる。

一方、CCD1が白基準板の部分を読み出しているタイミングにて、ONするWS信号にて白基準出力をサンプルホールドし、A3と可変抵抗VRにてレベル調整された電圧を基準電圧V_{ref}として得る。基準電圧V_{ref}は、画像信号のフルスケールを決定するものである。次段では、基準電圧V_{ref}を基準（フルスケール）としてV_{iw}を画像クロックVCLKに同期して、A/D変換器5でA/D変換す

る。A/Dの出力として、初めてデジタル画像信号が得られる。このA/D出力はROM6にてデータ変換を施され、VDATAを得る。

以上のプロセスにて得られたデジタル画像信号VDATAは必要に応じてMTF補正、密度変換等の処理を施した上で、ライン同期信号(LSYNC)及び画像クロック(CLK)とともにイメージスキヤナから出力される。

上述した従来例においては、パルス波形を含ん

だCCD出力から、アナログの画像情報をタイミングだけを拠り所にして、アナログ的にラッチしてアナログ画像信号を作り出すため、次のような問題を生じる。

- (1)パルス電圧によるリングングが発生し、これがCCD出力の画像信号部分にまで入り込む。
- (2)画像信号部分をサンプルするタイミング及びゼロクランプするタイミングは僅かしかなく、(1)項のリングングを捕らえてしまう危険がある。
- (3)サンプルタイミング、ゼロクランプタイミングのためのクロックパルスの僅かなジター（時間的揺らぎ）が、得られるアナログ画像信号の振幅変動になってしまう。

以上のような問題はすべてアナログ画像信号上のノイズ成分として現れ、画像データのS/N比を著しく劣化させる。これを軽減するためには、ローパスフィルタ、伝送インピーダンスの整合等を考慮する必要があるが、これによつて回路の複雑さ、さらに副作用として画像の周波数特性の劣化をも招くことになる。

（目的）

本発明は、上記従来例の欠点を解消し、CCD等のイメージセンサ出力からの画像データ抽出を、高S/N比、高信頼性を維持して行うことが出来る原稿読取装置を提供することを目的とする。

（構成）

この目的を達成するために本発明は、各画素ごとの原稿光学像読取信号を、一つまたは複数の信号線に対して時系列的に出力するイメージセンサ、該イメージセンサ出力をA/D変換するためのA/D変換器、A/D変換出力から画像信号を取り出すための処理をデジタル的に行うためのラッチ、減算器、ゲート、RAM、ROMを含むデジタル処理手段を有することを特徴とする。

以下、本発明の実施例を図面に基づき説明する。

先ず第5図に、本発明に係る原稿読取装置に利用されるイメージセンサとしてのCCD(TCD105C(東芝))の内部回路を示す。また、CCDの駆動パルスタイミングを第6図に示す。

各画素ごとのフォトダイオードで発生した光電

流は蓄積電極に蓄積され、シフトパルスSHが印加されるとアナログシフトレジスタ側に全画素の蓄積電荷がそれぞれ移送される。シフトレジスタでは転送クロック01、02によりその電荷が順次転送され、出力部に送られる。出力部では画素ごとの電荷を電圧に変換して、順次OS端子から出力する。出力部はリセット機能を持ち、リセットパルスRSを印加して各画素間の混じりを無くしている。

実際のCCD出力波形は、第6図中のOSに示すようになっている。

まずリセットパルスRS印加中(t_r)はリセットノイズと言われる成分が混入して来る。 t_r 直後の t_z の期間は出力部が空になるから、画信号のゼロレベルを表すが、実際には直流オフセット電圧 V_{oc1} のレベルを有する。その後01、02の遷移により、画信号が現れる。この画信号は負の方向に発生し、その振幅 v_o が、その画素の蓄積電荷量に比例している。この v_o が取り出したい画信号である。このようにCCD出力OSは

アナログ画信号レベルにパルス状の電圧が混入した波形となっている。またこのCCDは補償出力DOSを有している。これはダミーの出力部からの出力であり、OSと略同じレベルの直流オフセット V_{oc2} 及びリセットノイズレベルを持つ。但し、画信号は出力されない。

このようにCCD出力には、多くのパルス状の成分が含まれており、これから正確に画像情報(第6図の v_o)を抽出することが必要である。

本発明では、このようなCCD出力(OS)から完全にデジタル的な処理によつて画像信号を取り出し、さらにCCDによるアナログ画像信号のデジタル化をも同時に行うことにより、S/Nの優れた画像信号を得るようにしたものである。

第1図(a)、(b)に一実施例に係るイメージセンサ出力からの画像データ抽出回路ブロックを、第2図(a)、(b)にそのタイミング図を示す。

第1図(a)において、CCD出力OS及び補償出力DOSは、それぞれトランジスタTr1、Tr2によるエミッタフォロアのインピーダンス変換

回路に入力される。これはCCD内部インピーダンスの影響、伝送線路の影響を少なくするもので状況によつては必要ないこともあり得る。OS側はTr1の出力を直接A/D変換器(A/D)のアナログ入力端子 V_{in} に入力する。DOS側はTr2の出力をタイミングパルスZSPにてサンプルホールドし、A/Dの基準電圧端子の一方の V_{ref} に与える。ZSPはDOSのリセットノイズを発生するタイミング以外で与えればよく、タイミング変動に対するマージンは十分ある。A/Dのもう一方の基準電圧端子 V_{ref} には一定の基準電圧電圧 V_{ref} を与える。A/Dは、 $V_{in} - V_{ref}$ を基準として、 V_{in} をA/D変換することになる。ここでA/D変換のためのクロックADCLKは、第2図(b)に示すようにCCD転送クロック(01、02)に対して十分に高速のものを用いる。タイミング的には第6図に示す t_1 及び t_2 の期間に少なくとも発生するようにすれば、特にCCD転送クロックと同期する必要はない。このようにして得られるA/D出力はDOSにより補償されてい

るため、CCD出力に含まれる直流オフセット成分の影響をある程度除去されている。しかし完全ではない(第6図で示す V_{oc1} と V_{oc2} は完全に同じではない)ため、次のゼロクランプ及びサンプルホールドの処理を行う。但し、従来のようなアナログ処理ではなくデジタル的に行うことが出来る。

ゼロクランプパルスZCPは、リセットパルスRSの直後で01、02の変化の直前に発生させる。つまり、この期間 t_z にCCD出力の0レベルが発生するためである(第6図参照)。ZCPによりA/D出力はラッチL1にラッチされる。

続いて01、02遷移の後、画像信号が第6図の t_1 の期間出現するが、 t_1 の略中央の期間にサンプルパルスSCLKを発生させ、A/D出力をラッチL2にラッチする。この時点でL2には画像信号SDATAが、またL1にはゼロレベルZDATAがそれぞれラッチされている。次に減算器SUB1によつてSDATA-ZDATAが演算され、結果は画像クロックVCLKによつて

ラッチL3にラッチされる。VCLKはSDATAとZDATAが双方とも立った時点で立ち上がるようなパルスで、CCDI画素当たり1パルスとして与えられる(第2図(b)に示すタイミングチャート参照)。L3の出力VDATA1は、CCDの電氣的なオフセットを除去され、且つパルス状の信号も除去された画像信号となつてゐる。しかし未だCCDの暗電流という問題がある。これはCCDに光を照射しない状態でも発生するCCD出力であり、かなり強い温度特性を有する。この補正は従来のアナログ処理の考え方と同様で、画像データVDATA1をCCDのダミー画素のタイミングでラッチL4においてラッチし、暗電流データDRKを得る。そしてVDATA1からDRKを減算器SUB2で差し引くことにより、暗電流成分を補正された画像データVDATA2が得られる。同図(c)に示すシェーディング補正はアナログ処理の場合と異なる。

CCDが原稿に先立つて読み取る基準白板に対応してシェーディングモード信号FSDHがアク

ティブになる(第1図(b)ではLowレベルになる)。

これにより3ステートゲートGがON、メモリRAMが書込みモードとなつて、そのときのVDATA2はドットアドレスDAに応じてRAMに記憶される。シェーディングモードが終了し、FSDHがHighレベルに復帰すると、通常読取モードとなり、GはOFF、RAMは読み出しモードとなる。すなわちドットアドレスに応じて、記憶された白板読取データSHDATAが読み出され、画像データVDATA2と共にシェーディング補正用のROM1のアドレスに印加される。ROM1には白板読取時の不均一性を補正されたデータが書かれてあり、アドレスに応じて出力する。

VDATA3は、このようなシェーディング補正を受けた画像データとなる。ROM2は濃度変換、階調変換(γ 変換)等を選択信号SLDに応じて行うためのROMテーブルである。

以上で、従来アナログ的に処理していたCCD出力信号から真の画像データを抽出するための機能を、すべてデジタル的に実現出来ることを示

した。さらにデジタル処理としたためのメリットを上げておくと、

- (1)アナログ処理用のオペアンプ、トランジスタ、FET等による温度特性補償、オフセット電圧等の補償、さらにバイアスの適正化、といった問題から回避出来る、
- (2)ノイズマージンを高くとれる、
- (3)高速になる程、アナログ素子は選定対象が限られまた高価になるが、デジタル素子は比較的容易に(汎用的に)高速用が存在する、
- (4)デジタルデータであるため、記憶が容易で平均化等によるノイズ除去機能を周波数特性(解像度)の劣化なしに行うことが出来る、

あげられる。

ところで実際のCCD出力は、第2図、6図に模式的に示したような波形ではなく、パルス状のランダムノイズや、トランジエントによるリング、波形なまりなどを含んでいることが多い。

このような場合、ゼロクランプやサンプルホールドにおいて、そのサンプルタイミングの僅かな

ズレにより得られるサンプル信号がばらつくことにより、またノイズの多いところをサンプルしてしまうことにもなる。この問題に対処するに際し、従来のアナログ処理方式では、平滑効果を持たせるため、ローパスフィルタを使用するなどに対応するが、何れも周波数特性の劣化(水平解像力の低下)を招く。

本発明によるデジタル方式では容易に対応出来る。その例を第3図、第4図に示す。

第3図に、第1図(a)のゼロクランプの部分を改良した例のブロック図を示すが、サンプルホールドの部分等、他も同じ方法が適用出来る。第4図にはそのタイミング図を示す。A/Dの出力は加算器ADDのA入力に与えられ、B入力にはラッチLCH2の出力ZL2が与えられる。これにより、ADDの出力SにA+Bが得られ、これが所定のタイミングでラッチLCH1にラッチされる。LCH1の出力ZL1はLCH2に与えられ、再度ラッチされる。

この様子を第4図に示すが、ZL1としてはA

ノD出力の累積値が得られていくことが分かる。

A/D出力の所定個数累積した時点で、ゼロランプパルスZCPが発生し、累積値をラッチL1にラッチする。L1の出力はZDATAとして第1図(a)と同じように、減算器SUB1に与えられ、同じようにして得られたSDATAと共に減算処理を施される。L1では累積値をそのままラッチするとA/Dの出力に比べてビット数が増加するので、下位ビットを落として平均値としても良い。

このように累積演算により1画素内での平均化効果を得ることが出来るからCCD出力に含まれるトランジエント、ノイズ成分を除去することができ、しかもデジタル演算で1画素内で完結する処理であるから、周波数特性を劣化させることもない。

このような演算処理はゼロランプ部だけでなく、画像データのサンプルホールド、暗電流検出・補正の各部分に適用出来る。また前記の説明では平均値処理の例を示したが、最大値または最低値を検出するような処理でも良い。

尚、第3図のタイミングパルスZLC1、ZLC2、ZCPなどはA/D変換クロックADCCLK〔第2図(b)〕と同期したパルスを用い、CCD出力OS〔第2図(b)〕と位相が適正な関係にしなければならない。

従つて、ADCCLKと画像クロックVCLK及びCCD駆動パルス01、02等はすべて周波数が整数関係にあることが望ましい。例えばADCCLKを分周してVCLK、01、02等を作るようにすれば良い。

ADCCLKをVCLKに対して、例えば10倍以上の高速に出来る場合は特に分周したものにする必要はないが、各処理に対するタイミングパルスはCCD出力に対する位相を正確にコントロールすることが必要である。

(効果)

以上、本発明に係る原稿読取装置によれば、イメージセンサ出力から完全にデジタル的な処理によつて画像信号を取り出すようにしたから、S/Nの優れた信頼性の高い画像信号を得ることが

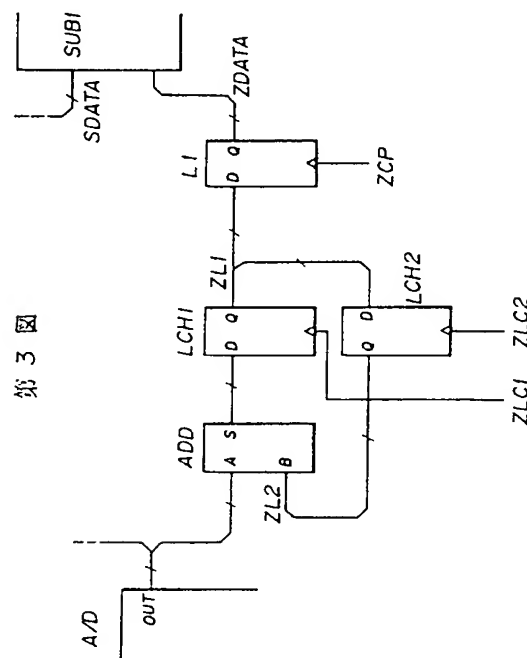
出来る。

4. 図面の簡単な説明

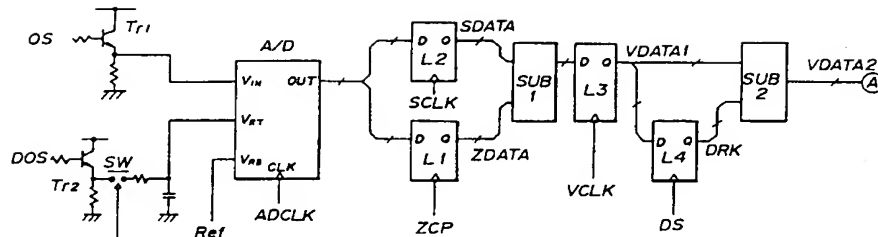
第1図(a)、(b)はそれぞれ本発明の一実施例に係る原稿読取装置の要部のブロック図、第2図(a)、(b)はそれぞれ同原稿読取装置の動作を示すタイミング図、第3図はゼロランプ部の改良例を示すブロック図、第4図はそのタイミング図、第5図はCCDの内部回路図、第6図はその駆動パルスタイミング図、第7図は従来例に係るイメージスキャナのアナログ処理回路図である。

1…CCD、A/D…A/D変換器、L1、L2、L3、L4…ラッチ、SUB1、SUB2…減算器、G…ゲート、ROM1、ROM2…リードオンリーメモリ、RAM…ランダムアクセスメモリ。

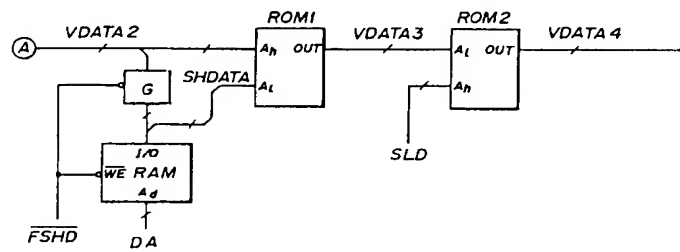
代理人 弁理士 武 顕次郎(外1名)



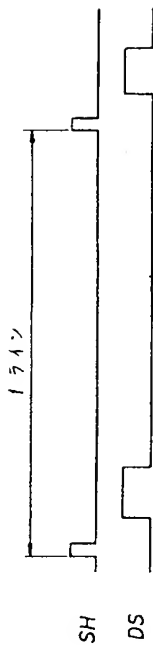
第1図
(a)



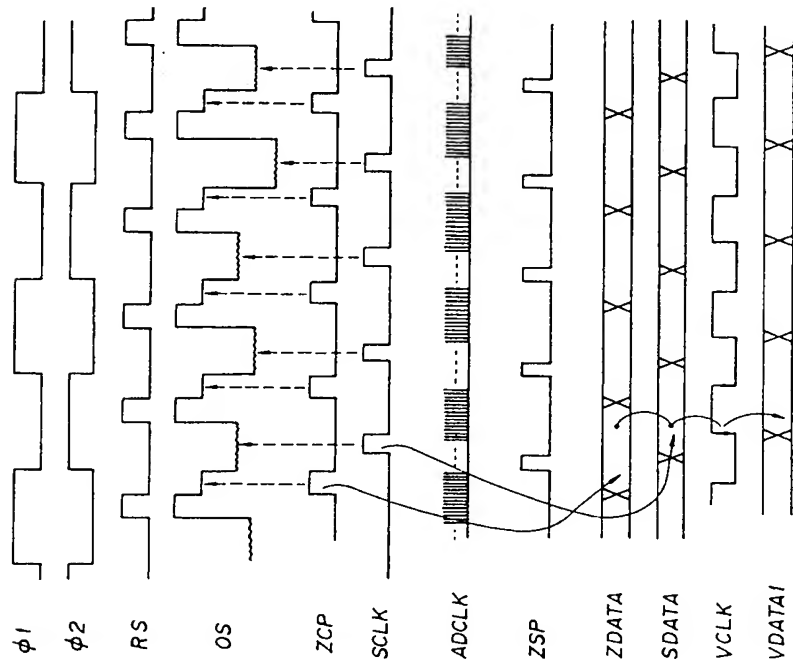
(b)



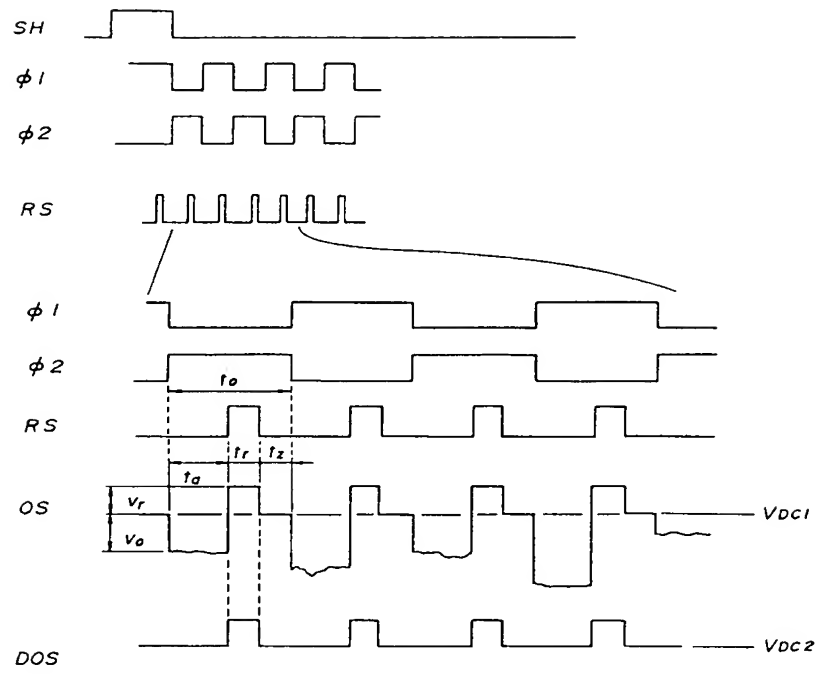
第2図
(a)



(b)



第6図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-258557

(43)Date of publication of application : 16.10.1989

(51)Int.Cl.

H04N 1/40

G06F 15/64

G06F 15/64

(21)Application number : 63-085356

(71)Applicant : RICOH CO LTD

(22)Date of filing : 08.04.1988

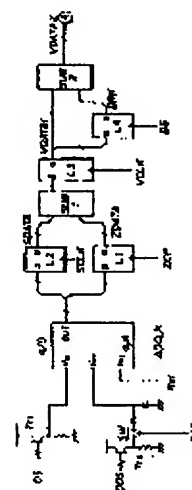
(72)Inventor : NAGASAWA KIYOTO

(54) ORIGINAL READER

(57)Abstract:

PURPOSE: To obtain an image signal whose S/N is excellent and whose reliability is high by fetching the picture signal from an image sensor output by a completely digital processing.

CONSTITUTION: A CCD output OS and a compensating output DOS are inputted to the analog input terminal and the reference voltage terminal of an A/D converter A/D through transistors TR1 and TR2 for an impedance conversion, respectively. The A/D output of the A/D converter A/D is latched by latches L1 and L2. The output of the latches L1 and L2 is subtracted by a subtracter SUB1, and the output is latched by a latch L3. A latch L4 latches dark current data, and image data are obtained, whose dark current component is corrected, by subtracting the output from the output of the latch L3 with a subtracter SUB2. Moreover, for the image data, the processings of shading correcting, density converting, gradation converting, etc., are executed with a ROM.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office